

PAT-NO: JP02002217413A

DOCUMENT-IDENTIFIER: JP 2002217413 A

TITLE: METHOD FOR MANUFACTURING SEMICONDUCTOR
DEVICE

PUBN-DATE: August 2, 2002

INVENTOR-INFORMATION:

NAME	COUNTRY
YASUDA, YUKIO	N/A
ZAIMA, SHIZUAKI	N/A
SUGIMOTO, MASARU	N/A
SAKAI, AKIRA	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
UNIV NAGOYA	N/A

APPL-NO: JP2001011009

APPL-DATE: January 19, 2001

INT-CL (IPC): H01L029/78, H01L021/203 , H01L021/205 , H01L021/324

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a method for manufacturing a semiconductor device which has a smaller thickness than heretofore and no threading dislocation and is provided with a stress relieving silicon germanium buffer layer having a flat surface in atomic level, and is superior in mass productivity.

SOLUTION: This method includes a step of forming a silicon germanium layer

as a buffer layer on a silicon substrate in such a specified epitaxial growth condition that substantially produces no three-dimensional island, a step for forming a first silicon layer as a covering layer on the silicon germanium layer in such a prescribed epitaxial growth condition that substantially produces no three-dimensional island, a step of allowing the silicon germanium layer to be made into a grid stress relieving condition and allowing the first silicon layer to be made into a tensile stress condition by heating the silicon germanium layer and the first silicon layer at a prescribed temperature, a step for forming a tensile stress second silicon layer on the tensile stress first silicon layer, and a step for forming a field effect transistor, having a channel layer on the tensile stress second silicon layer.

COPYRIGHT: (C)2002,JPO

----- KWIC -----

Abstract Text - FPAR (1):

PROBLEM TO BE SOLVED: To provide a method for manufacturing a semiconductor device which has a smaller thickness than heretofore and no threading dislocation and is provided with a stress relieving silicon germanium buffer layer having a flat surface in atomic level, and is superior in mass productivity.

Document Identifier - DID (1):

JP 2002217413 A

Inventor Name (Derived) - INZZ (4):

SAKAI, AKIRA

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-217413

(P2002-217413A)

(43) 公開日 平成14年 8 月 2 日 (2002. 8. 2)

(51) Int.Cl. ⁷	識別記号	F I	テームコード [*] (参考)
H 0 1 L 29/78		H 0 1 L 21/203	M 5 F 0 4 5
21/203		21/205	5 F 1 0 3
21/205		21/324	X 5 F 1 4 0
21/324		29/78	3 0 1 B

審査請求 有 請求項の数 5 O L (全 8 頁)

(21) 出願番号 特願2001-11009(P2001-11009)

(22) 出願日 平成13年 1 月 19 日 (2001. 1. 19)

(71) 出願人 391012224

名古屋大学長

愛知県名古屋市千種区不老町 (番地なし)

(72) 発明者 安田 幸夫

愛知県愛知郡長久手町五合池103

(72) 発明者 財満 鎮明

愛知県春日井市高座台 5 - 5 - 64

(72) 発明者 杉本 賢

愛知県名古屋市昭和区八雲町33 クオリシ
ティ山手317

(74) 代理人 100072051

弁理士 杉村 興作 (外 1 名)

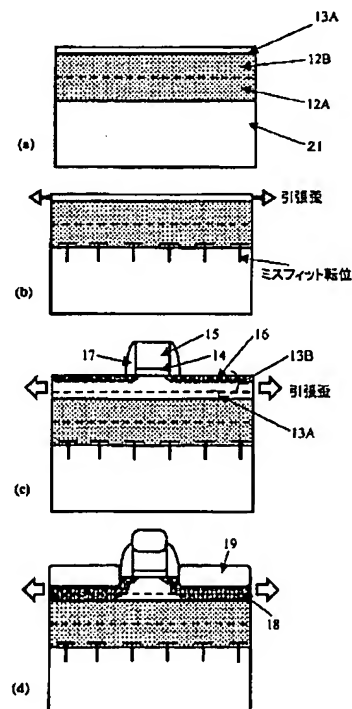
最終頁に続く

(54) 【発明の名称】 半導体装置製造方法

(57) 【要約】

【課題】 従来よりも膜厚が薄く、貫通転位が無く、且つ表面が原子レベルで平坦な歪緩和シリコンゲルマニウム緩衝層を有する、量産性の優れた半導体装置を製造する方法を提供する

【解決手段】 シリコン基板上に、実質上3次元島を発生させない所定のエピタキシャル成長条件において緩衝層であるシリコンゲルマニウム層を形成する工程と、前記シリコンゲルマニウム層上に、実質上3次元島を発生させない所定のエピタキシャル成長条件において被覆層である第1シリコン層を形成する工程と、前記シリコンゲルマニウム層及び第1シリコン層に所定温度における熱処理を施し、前記シリコンゲルマニウム層を格子歪緩和状態にすると共に前記第1シリコン層を引張歪状態にする工程と、前記引張歪第1シリコン層上に、引張歪第2シリコン層を形成する工程と、前記引張歪第2シリコン層上をチャンネル層とする電界効果トランジスタを形成する工程とを有する。



【特許請求の範囲】

【請求項1】 シリコン基板上に、実質上3次元島を発生させない所定のエピタキシャル成長条件において緩衝層であるシリコンゲルマニウム層を形成する工程と、前記シリコンゲルマニウム層上に、実質上3次元島を発生させない所定のエピタキシャル成長条件において被覆層である第1シリコン層を形成する工程と、前記シリコンゲルマニウム層及び第1シリコン層に所定温度における熱処理を施し、前記シリコンゲルマニウム層を格子歪緩和状態にすると共に前記第1シリコン層を引張歪状態にする工程と、前記引張歪第1シリコン層上に、引張歪第2シリコン層を形成する工程と、前記引張歪第2シリコン層上をチャネル層とする電界効果トランジスタを形成する工程とを有することを特徴とする半導体装置製造方法。

【請求項2】 請求項1に記載の半導体装置製造方法において、前記引張歪第2シリコン層上にゲート酸化膜を介してゲート電極を形成する工程と、前記ゲート電極を挟んで、前記引張歪第2シリコン層及び引張歪第1シリコン層においてソース・ドレイン領域を形成する工程とを有することを特徴とする半導体装置製造方法。

【請求項3】 請求項1に記載の半導体装置製造方法において、前記引張歪第2シリコン層上に、不純物を変調ドーピングしたシリコンゲルマニウム層を形成する工程と、前記不純物を変調ドーピングしたシリコンゲルマニウム層上に、ゲート酸化膜を介してゲート電極を形成する工程と、前記ゲート電極を挟んで、前記不純物を変調ドーピングしたシリコンゲルマニウム層、引張歪第2シリコン層及び引張歪第1シリコン層においてソース・ドレイン領域を形成する工程とを有することを特徴とする半導体装置製造方法。

【請求項4】 シリコン基板上に、実質上3次元島を発生させない所定のエピタキシャル成長条件においてシリコンゲルマニウム層を形成する工程と、前記シリコンゲルマニウム層上に、実質上3次元島を発生させない所定のエピタキシャル成長条件において被覆層であるシリコン層を形成する工程と、前記シリコン層上に熱酸化法によりゲート酸化膜である二酸化シリコン層を形成すると共に、前記シリコンゲルマニウム層を歪緩和状態にして歪緩和緩衝層とし、前記シリコン層を引張歪状態にして歪チャネル層とする工程と、前記二酸化シリコン層を介してゲート電極を形成する工程と、前記ゲート電極をはさんで、前記引張歪シリコン層にお

いて不純物処理を施すことによりソース・ドレイン領域を形成する工程とを有することを特徴とする半導体装置製造方法。

【請求項5】 請求項1ないし4のいずれか1項に記載の半導体装置製造方法において、前記緩衝層であるシリコンゲルマニウム層のゲルマニウム組成を0.2～1.0とし、膜厚を50～400nmとしたことを特徴とする半導体装置製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置製造方法に関し、特に、歪シリコンチャネルを有する電界効果トランジスタの製造方法に関する。

【0002】

【従来の技術】近年、金属-酸化膜-半導体型電界効果トランジスタ(MOSFET)、変調ドーピング電界効果トランジスタ(MODFET)等の高速化を図るための手段として、チャネル領域に結晶の歪を導入することによりキャリア移動度を上げる試みが行われてきた。具体的には、シリコン基板上に歪緩和させたシリコンゲルマニウム緩衝層を堆積し、さらに引張歪を有するシリコン層をその上に堆積し、このシリコン層をチャネルとして利用するヘテロ接合電界効果型トランジスタ構造が、例えば、IEEE Trans. Electron. Dev. ED-33(1996)p. 633において提案されている。前記歪シリコンチャネル層を形成するためには、貫通転位密度の低い歪緩和シリコンゲルマニウム緩衝層をシリコン基板上に形成する必要があり、従来は、ゲルマニウム組成を徐々に増加させて結晶成長を行って形成された、いわゆる組成傾斜緩衝層が用いられていた。この従来の方法では、組成を徐々に増大させていくことにより段階的に歪緩和を起し、このとき(111)面上に入る貫通転位を膜の側面に逃がすことにより、膜表面の貫通転位を低減させていた。

【0003】

【発明が解決しようとする課題】しかしながら、上述した従来の方法においては、貫通転位を歪緩和シリコンゲルマニウム緩衝層の外に完全に逃がすためには膜厚を少なくとも2μm程度以上にすることができなかった。さらに、シリコンとゲルマニウムの組成を連続的に変化させて成長を行うため、プロセス技術の複雑化とコストの上昇とを招くという問題があった。

【0004】上述したことを鑑み、本発明は、従来よりも膜厚が薄く、貫通転位が無く、且つ表面が原子レベルで平坦な歪緩和シリコンゲルマニウム緩衝層を有する、量産性の優れた半導体装置を製造する方法を提供することを目的とする。

【0005】

【課題を解決するための手段】上記目的を達成するため

に、本発明の第1発明による半導体装置製造方法は、シリコン基板上に、実質上3次元島を発生させない所定のエピタキシャル成長条件において緩衝層であるシリコンゲルマニウム層を形成する工程と、前記シリコンゲルマニウム層上に、実質上3次元島を発生させない所定のエピタキシャル成長条件において被覆層である第1シリコン層を形成する工程と、前記シリコンゲルマニウム層及び第1シリコン層に所定温度における熱処理を施し、前記シリコンゲルマニウム層を格子歪緩和状態にすると共に前記第1シリコン層を引張歪状態にする工程と、前記引張歪第1シリコン層上に、引張歪第2シリコン層を形成する工程と、前記引張歪第2シリコン層上をチャンネル層とする電界効果トランジスタを形成する工程とを有することを特徴とする。

【0006】上記第1発明によれば、前記シリコンゲルマニウム層及び第1シリコン層に所定温度で熱処理を施し、前記シリコンゲルマニウム層を格子歪緩和状態にすると共に、前記第1シリコン層を引張歪状態にすることにより、第1の作用として貫通転位発生を抑制しつつ前記シリコンゲルマニウム層を格子歪緩和状態にすることができ、第2の作用として被覆層である前記第1シリコン層上の3次元島の発生を抑制しつつ引張歪状態にすることができる。前記第1の作用が生じる理由は、前記第1シリコン層表面に転位発生サイトである3次元島が実質上存在しないため、前記表面からの転位発生が抑制され、前記シリコン基板とシリコンゲルマニウム層との界面において優先的にミスフィット転位が発生するためである。この際、前記シリコン基板とシリコンゲルマニウム層のミスフィット歪を完全に緩和する間隔をもってクロスハッチ状に転位が配置し、その貫通成分は界面に平行に結晶外へ除外される。前記第2の作用が生じる理由は、被覆層である前記第1シリコン層は、熱処理を施すことにより引張歪状態となり、この引張応力が表面の凹凸を抑制する働きを持つためである。

【0007】本発明者等は、これらの作用を実験的に検証している。図4は、分子線エピタキシー法により、成長温度400℃においてゲルマニウム組成0.2のシリコンゲルマニウム層を膜厚50nmにエピタキシャル成長させ、次に、成長温度400℃において被覆層である第1シリコン層を膜厚5nmにエピタキシャル成長した後、600℃において5分間の真空中熱処理を行った試料の断面の透過電子顕微鏡写真である。図4から、シリコンゲルマニウム層に貫通転位は見られず、シリコンゲルマニウム層及びシリコン基板の界面においてミスフィット転位が周期的に入ることにより歪緩和していることと、シリコン層表面が原子レベルで平坦であり、3次元島が発生していないことは明らかである。

【0008】本発明の第2発明による半導体装置の製造方法は、シリコン基板上に、実質上3次元島を発生させない所定のエピタキシャル成長条件においてシリコンゲ

ルマニウム層を形成する工程と、前記シリコンゲルマニウム層上に、実質上3次元島を発生させない所定のエピタキシャル成長条件において被覆層であるシリコン層を形成する工程と、前記シリコン層上に熱酸化法によりゲート酸化膜である二酸化シリコン層を形成すると共に、前記シリコンゲルマニウム層を歪緩和状態にして歪緩和緩衝層とし、前記シリコン層を引張歪状態にして歪チャネル層とする工程と、前記二酸化シリコン層を介してゲート電極を形成する工程と、前記ゲート電極をはさんで、前記引張歪シリコン層において不純物処理を施すことによりソース・ドレイン領域を形成する工程とを有することを特徴とする。

【0009】上記構成において、前記第1発明と同様の作用が得られるだけでなく、前記シリコンゲルマニウム層及び第1シリコン層の熱処理工程と、熱酸化法による二酸化シリコン層の形成工程とを同時に行っているため、さらなる製造プロセスの簡易化及びコストの低減を実現することができる。

【0010】

【発明の実施の形態】以下、本発明の詳細を図示の実施形態によって説明するが、本発明はこれらに限定するものではない。まず、図1を参照し、本発明の第1実施形態について説明する。図1は、本発明の第1実施形態による半導体装置製造方法における各工程を説明する断面図である。まず図1aに示すように、p型シリコン基板11を、例えばRCA洗浄した後、p型シリコン基板11上に、例えば減圧化学気相堆積(LPCVD)法により、膜厚50nmで不純物濃度がシリコン基板11と同程度の緩衝層であるp型シリコンゲルマニウム層12Aをエピタキシャル成長させる。ここで、シリコンゲルマニウム層12Aは、ゲルマニウム組成が0.2〜1.0であることが望ましい。LPCVD法の成長条件は、用いるガス材料が、例えば Si_2H_6 、 GeH_4 及び B_2H_6 であり、成長温度が550℃以下である。この成長温度では、成長中の膜表面はほぼ水素終端されているため、膜表面の3次元島状化が抑制される。その後、p型シリコンゲルマニウム層12A上に、LPCVD法により、膜厚50nmで不純物濃度 $1 \times 10^{19} \text{ cm}^{-3}$ 程度の緩衝層かつパンチスルー抑制層であるp+型シリコンゲルマニウム層12Bをエピタキシャル成長させる。このp+型シリコンゲルマニウム層12Bのゲルマニウム組成及びLPCVD法の成長条件は、 B_2H_6 分圧を除き、シリコンゲルマニウム層12Aと同じである。その後、p+型シリコンゲルマニウム層12B上に、LPCVD法により、膜厚5nm程度の被覆層である第1ノンドープシリコン層13Aをエピタキシャル成長させる。この第1ノンドープシリコン層13AのLPCVD法の成長条件は、用いるガスが例えば Si_2H_6 であり、成長温度が550℃以下である。

【0011】その後、図1bに示すように、水素雰囲気

中で650℃、10分間の熱処理を施すことにより、緩衝層であるp型シリコンゲルマニウム層12A及びp+型シリコンゲルマニウム層12Bを歪緩和状態にし、被覆層である第1ノンドープシリコン層13Aを引張歪状態にする。次に、被覆層である引張歪状態の第1シリコン層13A上に、LPCVD法により、例えば膜厚5nm程度のチャンネル層である第2ノンドープシリコン層13Bを、引張歪状態を保持したままエピタキシャル成長させる。このとき、引張状態を保持したまま結晶性をよくするため、成長温度は650℃程度であることが望ましい。次に、第2ノンドープシリコン層13B上に、熱酸化法により、膜厚5nm程度のゲート絶縁膜である二酸化シリコン層14を形成する。次に、二酸化シリコン層14上に、LPCVD法により、リンを添加した膜厚30nm程度の多結晶シリコン層15を形成する。

【0012】次に、多結晶シリコン層15上にフォトリソ膜を塗布・露光してレジストパタン（図示せず）を形成し、これをマスクとしてプラズマエッチング法により二酸化シリコン層14及び多結晶シリコン層15を順次エッチングし、図1cに示すようにゲート電極を形成する。次に、イオン注入法を用いて、砒素を加速電圧5keV、ドーズ量 $1 \times 10^{14} \text{ cm}^{-2}$ の条件で打ち込み、900℃、10秒間の急速加熱処理を施すことにより、n型LDD（Lightly Doped-Drain）領域16を形成する。次に、LPCVD法により、全面に膜厚70nm程度の酸化シリコン層を堆積した後、反応性イオンエッチング法により、この酸化シリコン層を前記ゲート電極の側壁のみに残留させ、膜厚50nm程度のサイドウォールスペーザ17を形成する。次に、イオン注入法を用いて、砒素を、例えば加速電圧10keV、ドーズ量 $1 \times 10^{15} \text{ cm}^{-2}$ の条件で打ち込み、900℃、30秒間の急速加熱処理を施すことにより、n+型ソース・ドレイン領域18を形成する。次に、スパッタリング法により、全面にチタン膜を膜厚20nm程度に堆積した後、窒素雰囲気中で500℃、30秒間の急速熱処理を施すことにより、前記ゲート電極及びソース・ドレイン領域上に、自己整合的にチタンダイシリサイド層19を形成する。前記絶縁膜上の未反応のチタン層を、例えば硫酸と過酸化水素水を4対1の割合で混合した溶液を用いる処理によって選択的に除去する。次に、700℃、10秒間の第2の熱処理を施すことにより、チタンダイシリサイド層19を低抵抗化する。

【0013】上述した本発明の第1実施形態の製造方法により、貫通転位が無く、且つ表面が原子レベルで平坦な膜厚100nm程度の歪緩和シリコンゲルマニウム緩衝層を容易に形成でき、さらにその上に引張歪シリコン層を電子チャンネルとして用いるnチャンネルMOSFETを製造することができる。

【0014】上記で説明した第1実施形態では、シリコ

ン層及びシリコンゲルマニウム層の形成にLPCVD法を用いたが、これに限らず、固体ソース分子線エピタキシー（MBE）法、ガスソースMBE法、超高真空（UHV）CVD法等を用いてもよい。

【0015】次に、図2を参照して、本発明の第2実施形態による半導体装置製造方法を説明する。図2は、本発明の第2実施形態による半導体装置製造方法における各工程を説明する断面図である。まず、図2aに示すように、p型シリコン基板21上に、例えば Si_2H_6 、 GeH_4 ガスソース分子線エピタキシー（MBE）法により、膜厚100nm程度の緩衝層である第1ノンドープシリコンゲルマニウム層22を形成し、次いで膜厚5nm程度の被覆層である第1ノンドープシリコン層23Aを形成する。ここで、第1ノンドープシリコンゲルマニウム層22は、ゲルマニウム組成が0.2～1.0であることが好ましい。また、ガスソースMBE法の成長温度は550℃以下である。この成長温度では、成長中の膜表面はほぼ水素終端されているため、膜表面の3次元島状化が抑制される。次に、水素ガスを照射しながら650℃、10分間の熱処理を施すことにより、第1ノンドープシリコンゲルマニウム層22を格子歪緩和状態にし、第1ノンドープシリコン層23Aを引張歪状態にする。次に、第1ノンドープシリコン層23A上に、ガスソースMBE法により、チャンネル層である引張歪第2ノンドープシリコン層23Bを膜厚15nm程度に形成する。このとき、引張歪状態を保持したまま結晶性をよくするため、成長温度を650℃程度にすることが望ましい。

【0016】次に、図2bに示すように、引張歪第2ノンドープシリコン層23B上に、ガスソースMBE法により、例えば成長温度600℃で、スペーサ層である無歪状態の第2ノンドープシリコンゲルマニウム層24Aを膜厚10nm程度に形成する。ここで、第2ノンドープシリコンゲルマニウム層24Aのゲルマニウム組成は、緩衝層である第1ノンドープシリコンゲルマニウム層22と同様である。次に、第2ノンドープシリコンゲルマニウム層24A上に、例えば、クヌーセンセルを用いて、1原子層程度のデルタドープアンチモン層24Bを形成した後、ガスソースMBE法により、第2ノンドープシリコンゲルマニウム層24Aと同一組成の被覆層である第3ノンドープシリコンゲルマニウム層24Cを膜厚10nm程度に形成する。ここで、アンチモンのプロファイルを損ねないために、第3ノンドープシリコンゲルマニウム層24Cの成長温度を、例えば450℃程度にすることが望ましい。スペーサ層である無歪状態の第2ノンドープシリコンゲルマニウム層24Aと、デルタドープアンチモン層24Bと、被覆層である第3ノンドープシリコンゲルマニウム層24Cとを合わせて、一般に変調ドープシリコンゲルマニウム層と呼ぶが、その作製方法は本実施形態に限定されない。次に、被覆層で

ある第3ノンドープシリコンゲルマニウム層24C上に、ガスソースMBE法により、例えば成長温度600℃で、被覆層である第3ノンドープシリコン層25を膜厚10nmに形成する。

【0017】次に、図2cに示すように、前記第1実施形態と同様の操作により、第3ノンドープシリコン層25上に、熱酸化法により、膜厚10nm程度のゲート絶縁膜である二酸化シリコン層26を形成し、次に、ゲート電極であるリンを添加した多結晶シリコン層27と、n⁺型ソース・ドレイン領域28と、チタンダイシリサイド層29とを順次に形成し、図2cに示すようなnチャネルMOSFETを形成する。

【0018】上述した本発明の第2実施形態である半導体装置の製造方法により、貫通転位が無く、且つ表面が原子レベルで平坦な膜厚100nm程度の歪緩和シリコンゲルマニウム緩衝層を容易に形成でき、さらにその上に引張歪シリコンチャンネル層とシリコンゲルマニウムスペーサ層との界面に2次元電子ガスを発生させる構造のnチャネルMOSFETを製造することができる。

【0019】上記において説明した第2実施形態では、シリコン層及びシリコンゲルマニウム層の形成に、ガスソースMBE法を用いたが、これに限らず、固体ソースMBE層、LPCVD法、超高真空(UHV)CVD法等を用いてもよい。

【0020】次に、図3を参照し、本発明の第3実施形態による半導体装置製造方法を説明する。図3は、本発明の第3実施形態による半導体装置製造方法における各工程を説明する断面図である。まず、図3aに示すように、前記第1実施形態と同様の操作により、p型シリコン基板31上に、緩衝層であるp型シリコンゲルマニウム層32Aを膜厚50nm程度に形成し、次に、パンチスルー抑制層であるp⁺型シリコンゲルマニウム層32Bを膜厚50nm程度に形成する。次に、被覆層且つチャンネル層であるノンドープシリコン層33を膜厚20nm程度に形成する。

【0021】次に、図3bに示すように、ノンドープシリコン層33上に、熱酸化法により、膜厚5nm程度のゲート絶縁膜である二酸化シリコン層34を形成すると共に、緩衝層であるp型シリコンゲルマニウム層32A及びp⁺型シリコンゲルマニウム層32Bを歪緩和状態にし、被覆層且つチャンネル層であるノンドープシリコン層33を引張歪状態にする。

【0022】次に、前記第1実施形態と同様の操作により、ゲート電極であるリンを添加した多結晶シリコン層35と、n型LDD領域36と、サイドウォールスペーサ37と、n⁺型ソース・ドレイン領域38と、チタンダイシリサイド層39とを順次に形成して、図3cに示

すようなnチャネルMOSFETを形成する。

【0023】上記において説明した本発明の第3実施形態の半導体装置製造方法により、貫通転位がなく、且つ表面が原子レベルで平坦な膜厚100nm程度の歪緩和シリコンゲルマニウム層を容易に形成することができ、さらに上に引張歪シリコン層を電子チャンネルとして用いるnチャネルMOSFETを製造することができる。

【0024】

【発明の効果】以上説明したように、本発明によれば、貫通転位が無く、表面が平坦な、従来よりも大幅に膜厚が薄い、膜厚50～400nm程度の歪緩和シリコンゲルマニウム緩衝層を形成することができ、従来よりもプロセスが簡単で、量産性の高い歪チャンネル電界効果トランジスタを製造することができると共に、従来よりも平坦性の高い膜を形成できるため、トランジスタ特性を向上させることができる。

【図面の簡単な説明】

【図1】 本発明の第1実施形態による半導体装置製造方法の各工程を説明する断面図である。

【図2】 本発明の第2実施形態による半導体装置製造方法の各工程を説明する断面図である。

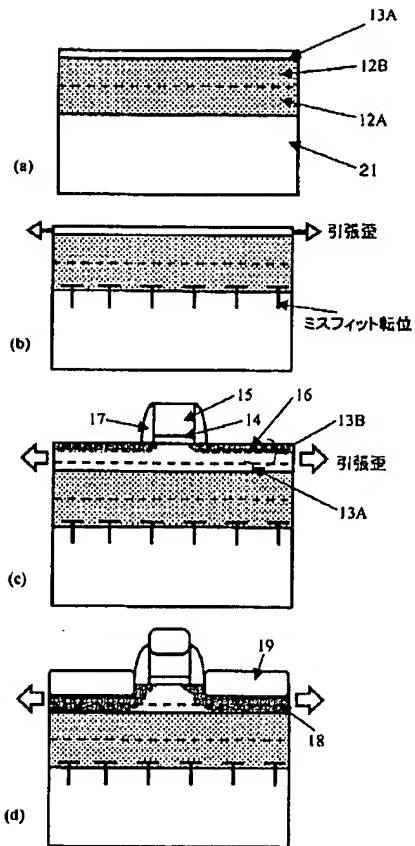
【図3】 本発明の第3実施形態による半導体装置製造方法の各工程を説明する断面図である。

【図4】 シリコン基板上にシリコンゲルマニウム層及びシリコン層を順次成長させた後、熱処理を施した試料の断面の透過電子顕微鏡写真である。

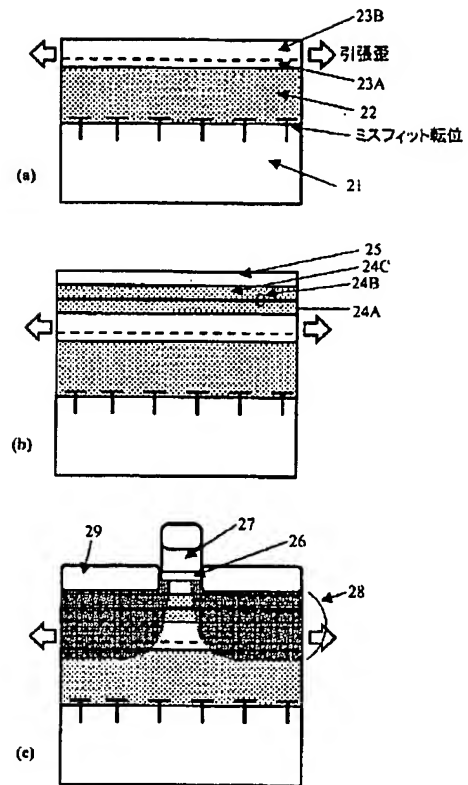
【符号の説明】

- 11、21、31 p型シリコン基板
- 12A p型シリコンゲルマニウム層
- 12B p⁺型シリコンゲルマニウム層
- 13A、23A 第1ノンドープシリコン層
- 13B、23B 第2ノンドープシリコン層
- 14、26、34 二酸化シリコン層
- 15、35 リンを添加した多結晶シリコン層
- 16、36 n型Lightly Doped-Drain領域
- 17、37 サイドウォールスペーサ
- 18、28、38 n⁺型ソース・ドレイン領域
- 19、29、39 チタンダイシリサイド層
- 22 第1ノンドープシリコンゲルマニウム層
- 24A 第2ノンドープシリコンゲルマニウム層
- 24B デルタドープアンチモン層
- 24C 第3ノンドープシリコンゲルマニウム層
- 25 第3ノンドープシリコン層
- 27 リンを添加した多結晶シリコン層
- 33 ノンドープシリコン層

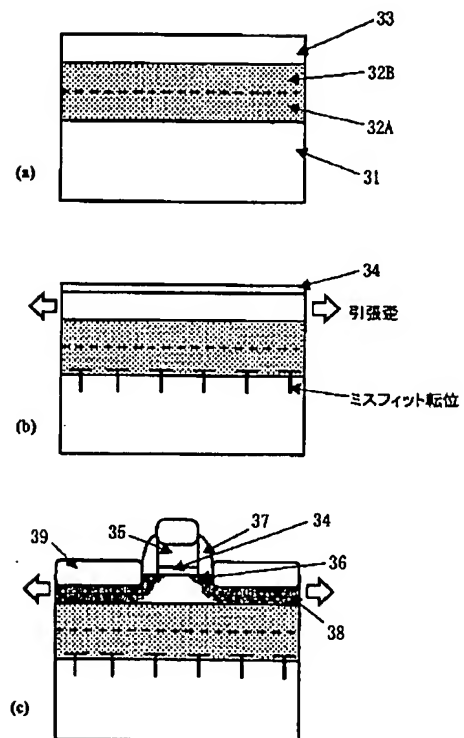
【図1】



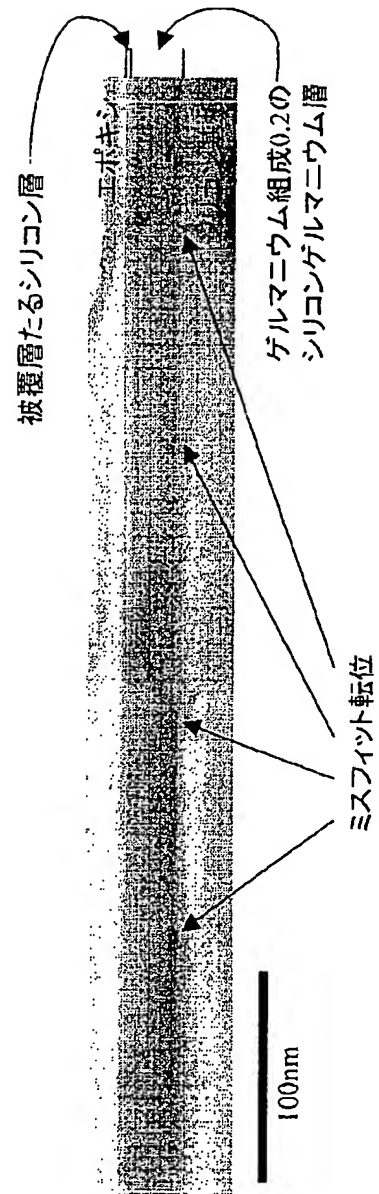
【図2】



【図3】



【図4】



フロントページの続き

(72)発明者 酒井 朗
愛知県名古屋市長区篠の風3-252 滝ノ
水住宅6-205

Fターム(参考) 5F045 AA05 AA06 AB01 AB02 AC01
AC19 AD04 AD05 AD06 AD07
AD08 AF03 BB12 BB16 DA53
DA67 DA69 HA16
5F103 AA04 DD30 GG01 HH03 LL07
NN01 PP03 RR02 RR05
5F140 AA40 AC00 AC28 BA01 BA05
BA17 BB18 BE07 BF04 BF11
BF18 BG08 BG12 BG28 BG30
BG34 BG38 BG44 BG45 BG52
BG53 BH15 BH39 BJ01 BJ08
BK02 BK13 BK29 BK34 BK38
BK39 CD01 CF04